

極低電圧動作かつ同相入力電圧範囲を持つ ダイナミックコンパレータの設計

Design of wide common mode input voltage range dynamic comparator in ultra-low voltage operation

伊藤 裕也[†], 増渕 友一^{††}, 五島敬史郎^{†††}
Yuya Ito[†], Tomokazu Masubuchi^{††}, Keishiro Goshima^{†††}

Abstract A double-tail type comparator has been known as a low power consumption used in Successive approximation resistor type Analog to Digital Converter (SAR ADC). However, in the case of the wide input common mode voltage range is required, it is necessary to change the circuit configuration. In this paper, we designed a comparator with a wide input common-mode voltage and a ultra-low voltage operation. Our proposed comparator improved the input common-mode voltage by about 50% , and the power consumption achieved to same as the conventional one.

1. はじめに

近年 IoT の台頭によりセンサデバイスが増加し、それに伴い A/D 変換回路の消費電力の増大と電源の確保が問題となっており、この課題に対してエネルギーハーベスティングを利用した A/D 変換回路が注目されている。

エネルギーハーベスティングは振動や圧力など周囲の環境から得られる微小なエネルギーを圧電素子などで電力を得てデバイスを動作させるまでの一連の流れを差し、あらゆるデバイスがネットワークに接続される IoT との親和性が高い。しかし、エネルギーハーベスティングによって得られる電力は 1.0V 程度であるため、対象デバイスの低電圧かつ低消費電力動作が必須である。

本研究はエネルギーハーベスティングの利用を想定し低電圧動作かつ低消費電力の A/D として逐次比較型方式を前提とした。この方式の A/D 変換に用いられる低消費電力性に優れたコンパレータとしては double-tail 型コンパレータが提案されている。[1][2][3]

double-tail 型コンパレータは定常消費電力が低い、縦積み数が少ないため同相入力電圧範囲が広いという特徴がある。しかし、さらなる同相入力電圧範囲の広さが要求される場合においては回路構成を変更する必要がある。

本稿では double-tail 型コンパレータの低消費電流性能を維持しつつそれ以上の低電圧動作を目標とした低電圧ダイナミックコンパレータ回路の提案を行う。また、0.60 μ m プロセスを用いて試作を行い、電源電圧 1.0V の動作と低消費電力を確認したのでこれを報告する。

2 double-tail 型コンパレータ

double-tail コンパレータの回路図を図 1 に示す。double-tail コンパレータは前段にプリアンプ、後段にラッチ回路を用いた構成をとる。double-tail の特徴として、クロックに同期して制御しているため、クロックが off の場合のリセットモード、クロックが on の場合の比較モードで動作する。

2・1 リセットモード

動作としては、CLKがLowとなるリセットモードで M_{00}, M_{20} がoffになる。それにより、テール電流源である M_{00} の電流が遮断されるので、差動入力である M_{01}, M_{02} がoffとなる。反対にPMOSである M_{03}, M_{04} はonになり、差動対とテール電流源がoffとなっているので開放としてみる事ができるため、ノードP,Qの電位が V_{DD} ま

[†] 新日本無線（ふじみの市）

^{††} ソシオネクスト（横浜市）

^{†††} 愛知工業大学工学部

でプリチャージされる. P,Qの電位が V_{DD} にプリチャージされることにより, M_{21}, M_{22} のゲート電圧が上昇. それにより, M_{21}, M_{22} がonになるためOut+, Out-の電位は V_{SS} となる.

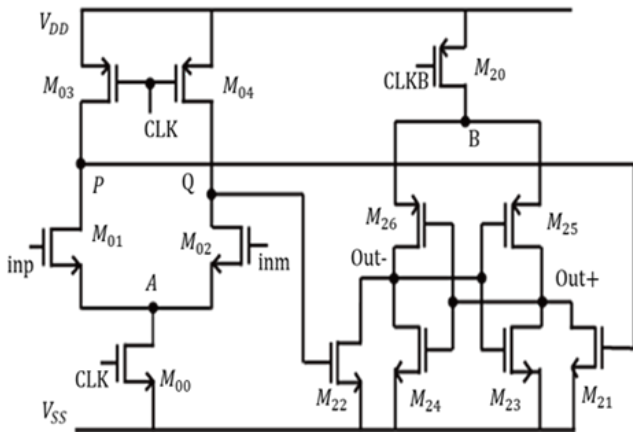


図 1 double-tail コンパレータ

Fig.1 double-tail comparator

2・2 比較モード

CLKがHighになる比較モードでは M_{00}, M_{20} がonになり, ノードP,Qを V_{DD} までプリチャージした M_{03}, M_{04} がoffになる. リセットモードと反対に M_{00} がonになり M_{01}, M_{02} が動作するためP,Qの同相電位が下がり, ノードP,Qの電位が下がりきるまで差動入力に電流が流れる.

ノードP,Qの同相電位が下がるので M_7, M_8 のゲート電圧が下がり, Out+, Out-の電位が上昇する. Out+, Out-の電位が十分に上がり, インバータの論理しきい値電圧を超えるとラッチが起動する. 比較モードにおいてinpがinmよりも高い場合, ノードP,Qの電荷引き抜き速度はノードPの方が速くなり, M_{21}, M_{22} の電荷の引き抜きの速度に差が出るため, Out+とOut-に電位差 ΔV_{out} が生じる. これによりラッチに正帰還がかかり, Out+が V_{DD} まで引き上げられ, Out-が V_{SS} に変化する.

このとき, 比較モードにおけるプリアンプ同相入力電圧範囲の最大値と最小値は

$$V_{cm_{min}} = V_{SS} + V_{dsat0} + V_{dsat1} + V_{thn} \quad (1)$$

$$V_{cm_{max}} = V_{DD} + V_{thn} \quad (2)$$

であり, 式(1), 式(2)よりNMOS入力型のプリアンプは V_{SS} 側の同相入力電圧範囲が狭いことがわかる. これはNMOS入力プリアンプの同相入力電圧範囲外の場合, NMOS入力の M_{01}, M_{02} が電荷の引き抜きを行わず, ノードP,Qの同相電位が V_{DD} に固定される. それにより, ノードP,Q間に電位差 $\Delta V_{P,Q}(0)$ が発生しない. 加えて, 同相電位

が V_{DD} に固定されるので M_{21}, M_{22} のゲート電圧も同様に V_{DD} に固定され, V_{out+}, V_{out-} もまた V_{SS} に固定されたままになる.

そのため, NMOS入力型double-tailコンパレータの同相入力電圧範囲を拡大するためには, NMOS入力プリアンプの M_{01}, M_{02} の同相入力電圧範囲外において, ΔV_{in} に応じた出力電位差 $\Delta V_{P,Q}(0)$ をノードP,Qに発生させ, ノードP,Qの電位をラッチの入力となる M_{21}, M_{22} のしきい値電圧まで低下させる必要がある.

3. 提案するコンパレータ

提案するコンパレータの回路図を図2に示す. 提案するコンパレータはNMOS入力型double-tailコンパレータを基づいて設計されている. 提案するコンパレータは従来回路の入力電圧範囲が M_{00}, M_{01}, M_{02} により制限されてしまうという問題点から, 従来回路による前段のプリアンプをPMOS入力型のサブプリアンプとNMOS入力型のメインプリアンプを用い, サブプリアンプの出力をNMOS入力型プリアンプの差動対のトランジスタと並列に接続する. それによりNMOS入力型プリアンプの同相入力電圧範囲外で ΔV_{in} に応じた変化をノード P_1, Q_1 に発生させることで, V_{DD} から V_{SS} までの比較が可能となっている.

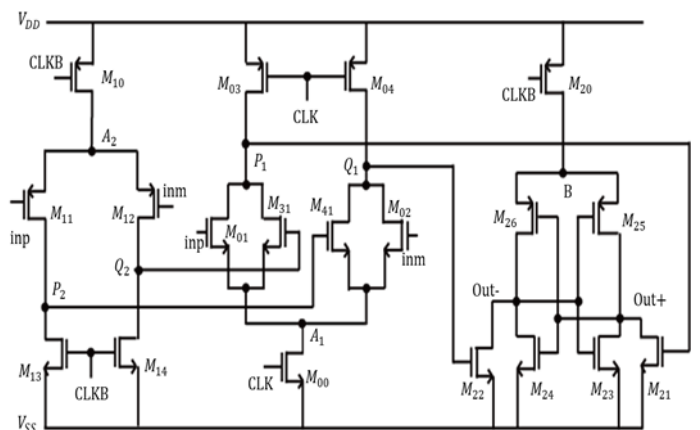


図 2 提案コンパレータ

Fig.2 Proposed comparator

3・1 リセットモード

プリチャージのフェーズではdouble-tail型と同じくリセットモードでCLKがLowになるため, M_{00}, M_{10} がoffになることでPMOS差動のサブプリアンプ, NMOS差動のメインプリアンプがoffとなる. ここで反対に $M_{03}, M_{04}, M_{13}, M_{14}$ がonになることでノード P_1, Q_1 の電位を V_{DD} , ノード P_2, Q_2 の電位を V_{SS} にする. それにより,

M_{21}, M_{22} が on になることで $Out+, Out-$ の電位が V_{SS} になり、ラッチも動作していない off 状態である。ダイナミックコンパレータはクロックに同期しており、その時間内にプリチャージと比較を行うため、ここでプリチャージフェーズにおける各ノードの充放電をする時間をそれぞれ定義する。

ノード P_2, Q_2 の寄生容量を C_{opp} 、ノード P_2, Q_2 に流れる電流をノード I_{ds14} とすると、ノード P_2, Q_2 を V_{DD} から 0 に放電する時間 T_{opp1} は

$$T_{opp1} = C_{opp} * \frac{V_{DD}}{I_{ds14}} \quad (3)$$

であり、同様にノード P_1, Q_1 の寄生容量を C_{opn} 、ノード P_1, Q_1 に流れる電流をノード I_{ds03} とすると、メインプリアンプの出力を 0 から V_{DD} に充電する時間を T_{opn1} は

$$T_{opn1} = C_{opn} * \frac{V_{DD}}{I_{ds03}} \quad (4)$$

となる。

3・2 比較モード

比較は double-tail コンパレータの比較モードと同様に、ノード P_1 と Q_1 の電位が降下する速度の違いによって決定される。動作としては M_{00} の入力である CLK が High になり、 M_{10} の入力である CLKB(反転クロック)が Low になることで NMOS 入力、PMOS 入力プリアンプの差動が on になる。差動が on になることで入力に応じてノード P_1, Q_1 の同相電位が下がり、ノード P_2, Q_2 の同相電位が上がる。メインプリアンプの NMOS (M_{31}, M_{41}) のしきい値電圧を V_{thn} とすると、サブプリアンプの出力ノード P_2, Q_2 の電位を次段の同相入力電圧範囲の下限である $V_{ncm_{min}}$ まで充電する時間 T_{opp2} は

$$\begin{aligned} T_{opp2} &= C_{opp} * \frac{V_{ncm_{min}}}{I_{ds12}} \\ &= C_{opp} * \frac{V_{SS} + V_{dsat00} + V_{dsat01} + V_{thn}}{I_{ds12}} \end{aligned} \quad (5)$$

となる。時間 T_{opp2} におけるノード P_2, Q_2 の電位差 $\Delta V_{P2, Q2}(0)$ は入力の電位差が ΔV_{in} とすると

$$\begin{aligned} \Delta V_{P2, Q2}(0) &= |V_{oq2}(T_{opp2}) - V_{op2}(T_{opp2})| \\ &= \frac{(V_{SS} + V_{dsat00} + V_{dsat01} + V_{thn}) * gm_{12} * \Delta V_{in}}{I_{ds12}} \end{aligned} \quad (6)$$

となり、この電位差が M_{31}, M_{41} に入力される。このサブプリアンプの同相入力電圧範囲は

$$V_{pcm_{max}} = V_{DD} - V_{dsat10} - V_{dsat12} - |V_{thp}| \quad (7)$$

$$V_{pcm_{min}} = V_{SS} - |V_{thp}| \quad (8)$$

となるので、サブプリアンプは V_{SS} 側に広い同相入力電

圧範囲を持つことが分かり、この同相入力電圧範囲内において、入力電圧 ΔV_{in} に応じた変化を持つ出力電位差 $\Delta V_{P2, Q2}(0)$ を発生させる。

NMOS のしきい値電圧 V_{thn} まで降下するとラッチが on になるので、電源電圧 V_{DD} から V_{thn} まで放電する時間 T_{opn2} はサブプリアンプからの入力となる M_{31}, M_{41} に流れる電流を I_{ds31} 、 M_{01} に流れる電流を I_{ds01} とすると、

$$T_{opn2} = C_{opn} * \frac{V_{DD} - V_{thn}}{I_{ds01} + I_{ds31}} \quad (9)$$

となる。 T_{opn2} における出力電位差 $\Delta V_{P1, Q1}(0)$ は入力 M_{01}, M_{02} および M_{01}, M_{02} と並列に接続された M_{31}, M_{41} によって決まるので、 $\Delta V_{P1, Q1}(0)$ は式(10)によって示される。

$$\begin{aligned} \Delta V_{P1, Q1}(0) &= (V_{DD} - V_{thn}) \\ &* \frac{gm_{01} * \Delta V_{in} + gm_{31} * \Delta V_{op}}{I_{ds01} + I_{ds31}} \end{aligned} \quad (10)$$

式(10)より、第一項の gm_{01} 、 ΔV_{in} は先ほどのサブプリアンプと同等の動きをし、第二項の gm_{31} 、 $\Delta V_{P2, Q2}(0)$ により、ノード P_2, Q_2 間電位差 $\Delta V_{P2, Q2}(0)$ が M_{31}, M_{41} に入力される。そのため、ノード P_1, Q_1 間の電位差 $\Delta V_{P1, Q1}(0)$ は NMOS 入力型プリアンプに入力される ΔV_{in} 、PMOS 入力型プリアンプの出力電位差である $\Delta V_{P2, Q2}(0)$ により決定される。ここで第一項の NMOS 入力型プリアンプの同相入力電圧範囲は従来の double-tail 型コンパレータと同様であるため、

$$V_{ncm_{min}} = V_{SS} + V_{dsat0} + V_{dsat1} + V_{thn} \quad (11)$$

$$V_{ncm_{max}} = V_{DD} + V_{thn} \quad (12)$$

であり、式(10)第二項の同相入力電圧範囲は式(7)、式(8)であるため、このメインプリアンプの同相入力電圧範囲は

$$V_{cm_{max}} = V_{DD} + V_{thn} \quad (13)$$

$$V_{cm_{min}} = V_{SS} - |V_{thp}| \quad (14)$$

となり、NMOS の入力電圧範囲外においてもノード P_1, Q_1 間に電位差を発生させることができる。

4 コンパレータの設計

コンパレータの ASIC 設計においては、フェニテックセミコンダクター社の $0.6\mu m$ プロセスを適用した。

設計において考慮する点として従来の double-tail コンパレータ、提案コンパレータともにノードの電位が降下する速度によって判定結果が依存するので、差動やカレントミラーにおいて比精度が重要となる。トランジスタの特性に統計的な変動を与える局所ばらつきと大域ばらつきがある。[4][5]この局所ばらつきと大域ばらつきに対するトランジスタの比精度を与えるモデルとして、Pelgrom のモデルが広く利用されている。[5] Pelgrom モデルは素子寸法とペア素子間の距離により比精度の標準

偏差を与えるものである. Pelgrom モデルにおけるパラメータモデル式を式(15)に示す. このとき $A_{\Delta P}, S_{\Delta P}$ はプロセスに依存する定数であり, この時のパラメータを図 3 に示す.

$$\sigma^2(\Delta P) = \frac{A_{\Delta P}^2}{W/L} + S_{\Delta P}^2 D^2 \quad (15)$$

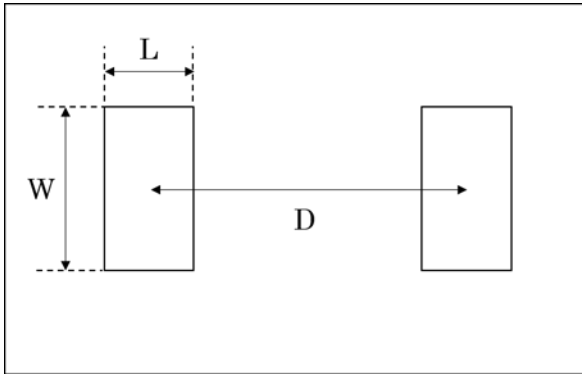


図 3 Pelgrom モデルにおけるパラメータの取り方[5]

Fig.3 Determination of parameters in the Pelgrom model.

比精度は標準偏差として与えられるので, 2 つのトランジスタの特性を近づけるためには式(15)より W, L を大きくし, 2 つのトランジスタ間を短くすれば良い.

また, 後述のレイアウトにおけるローディング効果[6]を考慮する. 使用する MOS の W/L 比は製造誤差を考慮し, チャンネル長 L に対して 1%未満の誤差となるようにチャンネル長 L を約 $2.5\mu\text{m}$ と設定し, PMOS と NMOS で同じゲート電圧

表 1 アスペクト比

Table 1. Aspect ratio of mos

	Proposed comparator	Double-tail comparator
nmos	$W/L \approx 3.4$	$W/L \approx 3.4$
pmos	$W/L \approx 1.3$	$W/L \approx 1.3$

が印加された場合と同じ電流量が流れるように設定した. コンパレータの W/L 比を表 1 に示す.

4・1 シミュレーション結果

設計した従来の double-tail コンパレータと提案コンパレータは, synopsys 社の Hspice でシミュレーション, 波形観測は CosmosScope を用いて行た. このときのシミュレーション条件を表 2 に示す.

表 2 シミュレーション条件

Table 2. Simulation conditions.

ΔV_{in}	$V_{DD}/2^8$
CLK	周波数 : 1kHz, V_{p-p} : 1.0V
C_L	10pF
シミュレーション区間	500 μs
設計コーナー	TT

CLK=1kHz, $\Delta V_{in}=V_{DD}/2^8$ であるときの電源電圧に対する同相入力電圧範囲のシミュレーション結果を図 4 に示す. 提案コンパレータは電源電圧 1.000V から 99.000%以上の同相入力電圧を示し, 従来の double-tail コンパレータに対して 51.058%改善したことを確認した. 同相入力電圧範囲が拡大した要因としては, 提案コンパレータはベースとなっている NMOS 入力 double-tail 型コンパレータの同相入力電圧範囲に加えて, PMOS 入力であるサブブリアンプの同相入力電圧範囲を持つからである.

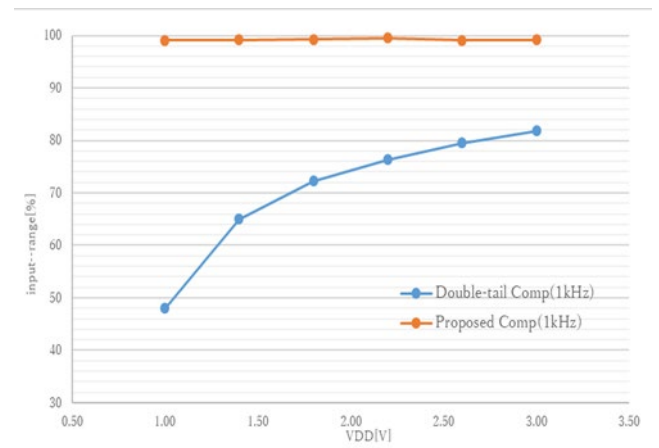


図 4 同相入力電圧範囲の比較

Fig.4 Input common mode voltage range comparison

図 5 に $V_{cm}=V_{DD}/2$, CLK=1kHz, $\Delta V_{in}=V_{DD}/2^8$ であるときの電源電圧に対する消費電流のシミュレーション結果を示し, このときの出力波形とクロック波形を図 6 に示す. 図 6 より, 消費電流を比較すると提案コンパレータは $0.07\mu\text{A}$ の増加に留まることが分かり, 提案コンパレータは従来の double-tail 型コンパレータ以上の同相入力電圧範囲を持ち, 同程度の消費電流であることがわかる.

電源電圧 1.000V における従来の double-tail コンパレータと提案コンパレータのシミュレーションにおける比較結果を表 3 に示す.

極低電圧動作かつ同相入力電圧範囲を持つダイナミックコンパレータの設計

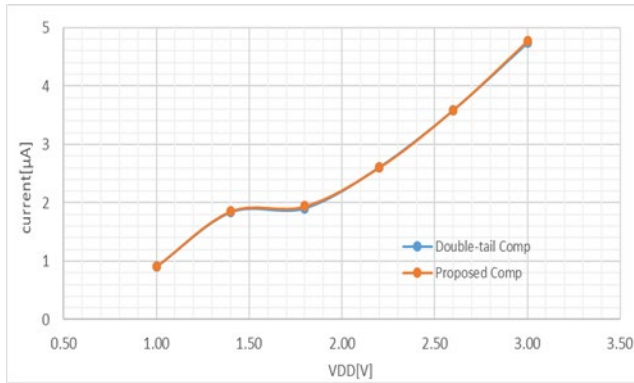


図5 電源電圧に対する消費電流の比較

Fig.5 Consumption current vs. supply voltage characteristics comparison

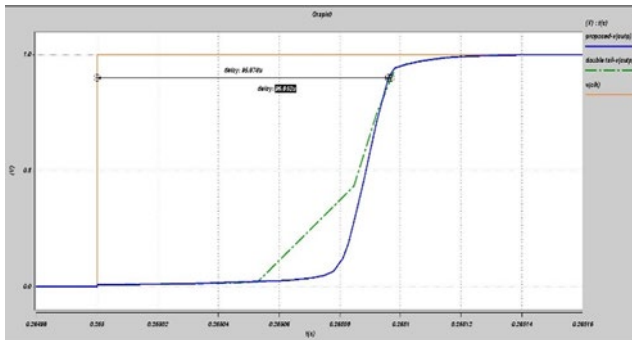


図6 出力波形の比較

Fig.6 Output waveform comparison

表3 シミュレーション結果

Table 3. Simulation result.

	Double-tail Comp	Proposed Comp
電源電圧[V]	1.000	1.000
同相入力電圧範囲[%]	46.982	99.040
消費電流[μA]	0.902	0.909
遅延時間[μs]	96.795	95.224

5 コンパレータの試作評価

レイアウト設計では Jedat 社の Ismo sx-maister を用いて配置と配線を行った。提案コンパレータのレイアウトにおいてはレイアウトに依存性のあるばらつきとしてローディング効果[5][6]を考慮した。これはパターンの仕上がり幅がパターンの疎密度により変動する現象であり、トランジスタ自体の寸法を変動させる。ローディング効

果は大まかにはサイズ効果と近接効果に分類することができる。サイズ効果とはゲート自体の大きさによって寸法が変わる効果であり、近接効果は周辺にどのようなトランジスタが配置してあるかで寸法が変わる効果である。一般的にはローディング効果の影響でパターンが密であるほど仕上がり寸法が細くなることが知られている。注目するトランジスタの設計値を L_i 、近接するトランジスタのチャンネル長を L_1 、注目するトランジスタとの距離を D_1 とし、 $K_L, K_D, \Delta L$ をプロセスごとに異なるパラメータとして、ローディング効果のモデル[6]を式(16)に示す。

$$L' = L_i + \Delta L + \frac{K_L}{L_i} + \frac{K_D}{D_1} - \frac{K_D}{D_1 + L_1} \quad (16)$$

K_D :近接効果に関する関数

K_L :サイズ効果に関する関数

ΔL :サイズ効果と近接効果がない時のずれ

L' は製造後の仕上がりゲート長であるので、レイアウト設計では式(5)からチャンネル長 L とトランジスタ間の距離を大きく、比精度を持たせるトランジスタを同一のブロックに配置し両端にダミートランジスタを設置した。完成したレイアウト面積は従来の double-tail コンパレータが $171.6 \times 376.8 \mu\text{m}$ であり、提案コンパレータが $208.0 \times 452.0 \mu\text{m}$ であった。提案コンパレータのレイアウトを図7に示す。

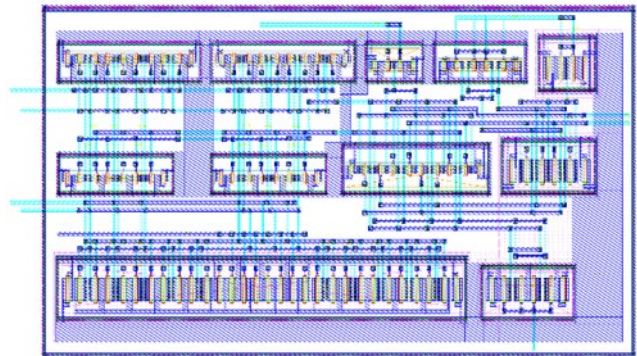


図7 提案コンパレータのレイアウト

Fig.7 Layout of Proposed comparator

試作チップの顕微鏡写真を図8に示し、測定系の構成を図9に示す。 V_{in-} と V_{in+} の入力信号は ooHz の oo 波形を入力した。 CLK はFPGAを信号発生器として利用し、ATTで電圧の大きさを制御している。消費電流は、ピコアンメーターを利用した。コンパレータの出力は負荷容量として 10pF を追加し、オシロスコープにて観測した。

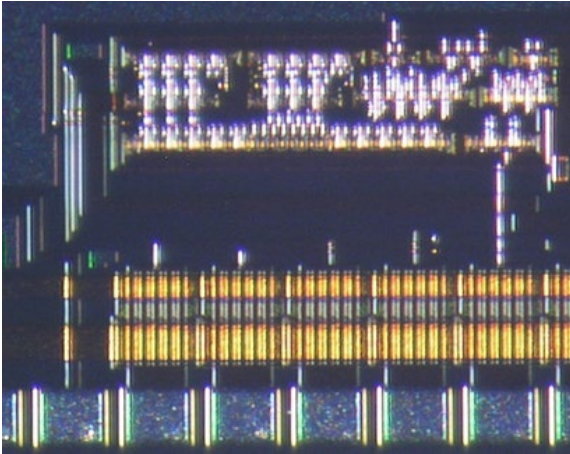


図 8 提案コンパレータの顕微鏡写真

Fig.8 Micrograph of Proposed comparator

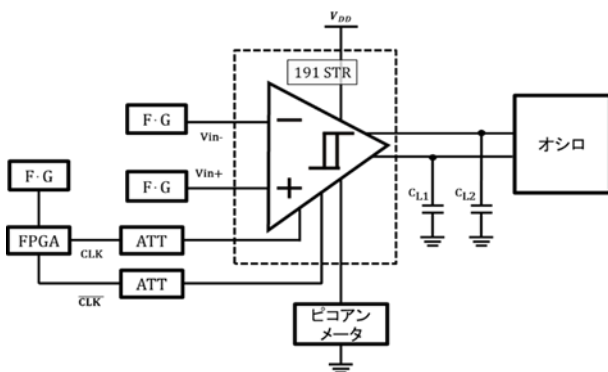


図 9 測定系の構成

Fig.9 Configuration of measurement system

表 4 提案回路と従来回路の性能比較

Table.4. Performance comparison between proposed circuit and conventional circuit

	Proposed Simulation	Proposed measurement	double-tail Simulation
V_{DD} [V]	1.000	1.000	1.000
Input-range[%]	99.040	57.432	46.982
Delay[μ s]	95.224	96.600	96.795
Current[μ A]	0.909	0.209	0.902
Area[μ m]	140.6 \times 409.4		171.6 \times 376.8

測定結果を表 4 に示す. 提案コンパレータのシミュレーション結果と測定結果を比較すると同相入力電圧範囲はシミュレーション結果より大きく低下したものの, 反対に消費電流は大きく改善していることが分かる. これ

は実測における MOSFET のしきい値電圧が製造誤差により, シミュレーションで用いた値よりも上昇したためであると考えられる.

ここで MOSFET のモデルをワーストケース(Slow), ベストケース(Fast)に変化させるコーナー解析を用い, 同条件でシミュレーションを行った. シミュレーションの結果 MOSFET のモデルが FS(NMOS : Fast, PMOS : Slow)と SS(NMOS : Slow, PMOS : Slow)において実測結果と近い結果になった.

6 まとめ

本研究では, 低電圧かつ低消費電力 A/D 変換回路に搭載することを目的としたコンパレータの設計を行い, 従来の double-tail 型コンパレータと消費電力と入力電圧範囲, 遅延の比較を行った. シミュレーションの結果から電源電圧 1.0V の場合, 提案コンパレータは電源電圧に対する同相入力電圧範囲が従来の double-tail 型コンパレータと比較して 51.058%改善され, 従来の double-tail 型コンパレータと同等の消費電力で設計可能であることを確認した.

また, 実機検証の結果, 提案コンパレータのシミュレーション結果(TT)と比較して同相入力電圧範囲は大きく低下したものの, 消費電流は大きく改善したことを確認した.

謝 辞

本研究は東京大学大規模集積システム設計教育研究センターを通しシノプシス株式会社の協力および株式会社トッパン・テクニカル・デザインセンターの支援を受けて行われたものである.

文 献

- (1) D. Schinkel, E. Mensink, E. Klumperink, and E. Van Tuiji, "A Double-Tail Latch-Type Voltage Sense Amplifier with 18ps setup+hold Time," IEEE J.Solid-State Circuits Conf.Dig. Tech. Pap, pp.314-316, 2007
- (2) 浦野 達也, 浅田 友輔, 宮原 正也, 岡田 健一, 松澤 昭: "ダブルテールラッチ型コンパレータとブリアンプを用いたコンパレータの性能比較", 電子情報通信学会ソサエティ大会講演, vol.2008, No.2
- (3) Megha Gupta, Priya Yadav "Design and performance Analysis of a Comparator for Low-Power Applications", International Journal of Scientific Research Engineering & Technology (IJSRET) Conference Proceeding, 3-4 November, 2014
- (4) 谷口 研二, "CMOS アナログ回路入門", CQ 出版, 2005
- (5) 岡田 健一, "集積回路における性能ばらつきに関する研究", 京都大学博士論文, 甲第 10351 号, 2013
- (6) 吉田 晴彦, "CMOS アナログ IC の実務設計", CQ 出版, 2010

(受理 令和4年3月18日)